

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-170379

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

G11C 11/15
G11C 11/14
G11C 29/00
H01L 27/105
H01L 43/08

(21)Application number : 2001-276873

(71)Applicant : NEC CORP

(22)Date of filing : 12.09.2001

(72)Inventor : OKAZAWA TAKESHI

(30)Priority

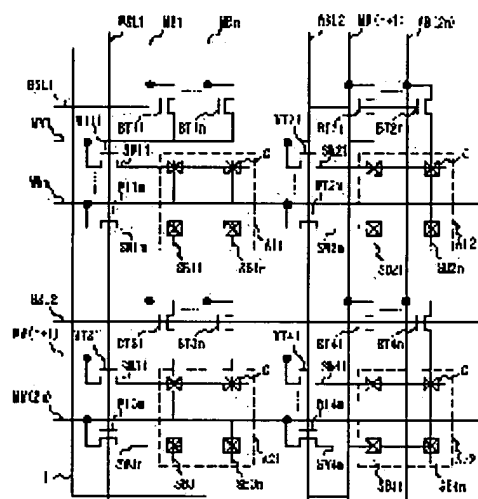
Priority number : 2000283162 Priority date : 19.09.2000 Priority country : JP

(54) MEMORY CELL ARRAY, NON-VOLATILE STORAGE UNIT, AND NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To widen limit of scale of an MRAM memory cell array by reducing substantially capacity of word lines and bit lines.

SOLUTION: In array constitution of a memory cell array, word lines and bit lines are made main/sub-constitution, and a selecting transistor is provided for switching. Concretely, main word lines MW1-MW(2m), main bit lines MB 1-MB(2n) are provided commonly in the whole memory cell array 1, and connected to sub-word lines SW11-SWT1m, SW21-SW2m, SW31-SW3m, SW41-SW4 m, and sub-bit lines SB11-SB1n, SB21-SB2n, SB31-SB3n, SB41-SB4n through word selecting transistors WT11-WT4m and bit selecting transistors BT11-BT4n. A memory cell block is selected by word selecting lines WSL1, WSL2 and bit selecting lines BSL1, BSL2.



1: メモリセルアレイ
A11, A12, A21, A22: メモリセルブロック
B: メモリセル
MB1, MB2, MB3, MB4: サブビット線
SB11, SB21, SB31, SB41, SB51, SB61, SB71, SB81: サブビット線
BSL1, BSL2: ビット選択線
BT11, BT21, BT31, BT41, BT51, BT61, BT71, BT81: ビット選択トランジスタ
MW1, MW2, MW3, MW4: 主ワード線
SW11, SW21, SW31, SW41, SW51, SW61, SW71, SW81: サブワード線
WT11, WT21, WT31, WT41, WT51, WT61, WT71, WT81: ワード選択トランジスタ

LEGAL STATUS

[Date of request for examination] 12.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

- converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-170379
(P2002-170379A)

(43)公開日 平成14年6月14日(2002.6.14)

(51)Int.Cl. ⁷	識別記号	F I	メモリー ⁷ (参考)
G 1 1 C 11/15		G 1 1 C 11/15	5 F 0 8 3
11/14		11/14	A 5 L 1 0 6
29/00	6 0 3	29/00	6 0 3 Z
H 0 1 L 27/105		H 0 1 L 43/08	Z
43/08		27/10	4 4 7
審査請求 有 請求項の数49 O L (全 17 頁)			

(21)出願番号 特願2001-276873(P2001-276873)

(22)出願日 平成13年9月12日(2001.9.12)

(31)優先権主張番号 特願2000-283162(P2000-283162)

(32)優先日 平成12年9月19日(2000.9.19)

(33)優先権主張国 日本 (J P)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 岡澤 武

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5F083 FZ10 GA02 GA03 KA03 KA06
LA28

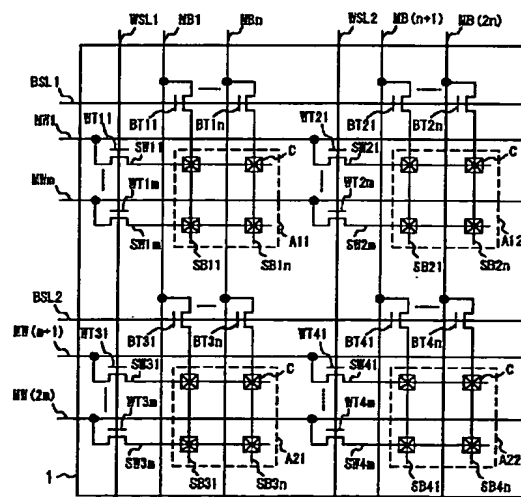
5L106 CC01 CC16 CC17 CC22 GG06

(54)【発明の名称】 メモリセルアレイ、不揮発性記憶ユニットおよび不揮発性半導体記憶装置

(57)【要約】

【課題】ワード線、ビット線の容量を実質的に低減してMRAMメモリセルアレイの規模の限界を広げる。

【解決手段】メモリセルアレイのアレイ構成を、ワード線、ビット線を主/副構成にし、切り換え用を選択トランジスタを設ける。具体的には、主ワード線MW1~MW(2m)、主ビット線MB1~MB(2n)をメモリセルアレイ1の全体に共通して設け、ワード選択トランジスタWT11~WT4mおよびビット選択トランジスタBT11~BT4nを介して副ワード線SW11~SW1m、SW21~SW2m、SW31~SW3m、SW41~SW4mおよび副ビット線SB11~SB1n、SB21~SB2n、SB31~SB3n、SB41~SB4nに接続する。ワード選択線WSL1、WSL2およびビット選択線BSL1、BSL2によりメモリセルブロックを選択する。



1:メモリセルアレイ
A11, A12, A21, A22:メモリセルブロック
C:メモリセル
MB1, MB2, MB(n+1), MB(2n):主ビット線
SB11, SB1n, SB21, SB2n, SB31, SB3n, SB41, SB4n:副ビット線
BSL1, BSL2:ビット選択線
BT11, BT1n, BT21, BT2n, BT31, BT3n, BT41, BT4n:ビット選択トランジスタ
MW1, MW2, MW(n+1), MW(2m):主ワード線
SW11, SW1m, SW21, SW2m, SW31, SW3m, SW41, SW4m:副ワード線
WSL1, WSL2:ワード選択線
WT11, WT1m, WT21, WT2m, WT31, WT3m, WT41, WT4m:ワード選択トランジスタ

【特許請求の範囲】

【請求項 1】 第 1 の強磁性層と第 2 の強磁性層とこれらに挟まれた絶縁層とを有し第 1 の強磁性層の磁化の方向と第 2 の強磁性層の磁化の方向との差として情報を記憶するメモリ素子を含むメモリセルをマトリクス状に配置したメモリセルアレイにおいて、

第 1 の方向に伸びた複数の副ワード線と、前記第 1 の方向とは異なる第 2 の方向に伸びた複数の副ビット線と、それぞれの副ワード線と副ビット線との交差部に設けられた前記メモリセルと、副ワード線のそれぞれに対応して設けられ副ワード線にソースまたはドレインの一方が接続された複数のワード選択トランジスタと、副ビット線のそれぞれに対応して設けられ副ビット線にソースまたはドレインの一方が接続された複数のビット選択トランジスタと、を有するメモリセルブロックが j 行 k 列

(j , k は正整数) 配置されたメモリセルブロックマトリクスと、メモリセルブロックマトリクスの k 個のメモリセルブロック列に対応して設けられ各メモリセルブロック列内のメモリセルブロックに含まれるワード選択トランジスタのゲートに接続された k 本のワード選択線と、メモリセルブロックマトリクスの j 個のメモリセルブロック行に対応して設けられ各メモリセルブロック行内のメモリセルブロックに含まれるビット選択トランジスタのゲートに接続された j 本のビット選択線と、メモリセルブロックマトリクスの同一列に配置された j 個のメモリセルブロックに含まれる副ワード線の総数と同数で副ワード線と同一方向に伸びた主ワード線と、メモリセルブロックマトリクスの同一行に配置された k 個のメモリセルブロックに含まれる副ビット線の総数と同数で副ビット線と同一方向に伸びた主ビット線と、を備え、

主ワード線のそれぞれが、対応する副ワード線に接続された k 個のワード選択トランジスタのソースまたはドレインの他方と接続され、

主ビット線のそれぞれが、対応する副ビット線に接続された j 個のビット選択トランジスタのソースまたはドレインの他方と接続されたことを特徴とするメモリセルアレイ。

【請求項 2】 前記メモリ素子が、第 1 の強磁性層の磁化の方向と第 2 の強磁性層の磁化の方向との差として情報を記憶し、この磁化方向の差による絶縁層中のトンネル電流の電気抵抗変化を利用して情報が読み出される請求項 1 記載のメモリセルアレイ。

【請求項 3】 前記メモリセルブロックのそれぞれは、5 1 2 個以上で 6 5, 5 3 6 個以下の同一の個数のメモリ素子を含むことを特徴とする請求項 2 記載のメモリセルアレイ。

【請求項 4】 前記ワード線選択トランジスタおよび前記ビット線選択トランジスタが、MOS 型電界効果トラ

ンジスタである請求項 1 または 2 記載のメモリセルアレイ。

【請求項 5】 前記第 1 の方向と前記第 2 の方向とが、互いに直交する関係にある請求項 1, 2 または 4 記載のメモリセルアレイ。

【請求項 6】 前記メモリセルブロックのそれぞれは、前記第 2 の方向に伸びた参照用副ビット線と、それぞれの副ワード線と参照用副ビット線との交差部に設けられた参照用メモリセルとを備える参照用セル列をさらに有し、参照用副ビット線が参照用ビット選択トランジスタを介して参照用主ビット線と接続することを特徴とする請求項 1, 2, 4 または 5 記載のメモリセルアレイ。

【請求項 7】 前記メモリセルブロックのそれぞれは、前記第 1 の方向に伸びた参照用副ワード線と、それぞれの副ビット線と参照用副ワード線との交差部に設けられた参照用メモリセルとを備える参照用セル行をさらに有し、参照用副ワード線が参照用ワード選択トランジスタを介して参照用主ワード線と接続することを特徴とする請求項 1, 2, 4 または 5 記載のメモリセルアレイ。

【請求項 8】 前記主ワード線および前記主ビット線の線材の比抵抗が、前記副ワード線の線材の比抵抗および前記副ビット線の線材の比抵抗よりも小さい請求項 1, 2, 4, 5, 6 または 7 記載のメモリセルアレイ。

【請求項 9】 前記主ワード線および前記主ビット線の配線の膜厚が、前記副ワード線の配線の膜厚および前記副ビット線の配線の膜厚よりも厚い請求項 1, 2, 4, 5, 6 または 7 記載のメモリセルアレイ。

【請求項 10】 第 1 の方向に伸びた複数の副ワード線と、前記第 1 の方向とは異なる第 2 の方向に伸びた複数の副ビット線と、それぞれの副ワード線と副ビット線との交差部に設けられ第 1 の強磁性層と第 2 の強磁性層とこれらに挟まれた絶縁層とを有して第 1 の強磁性層の磁化の方向と第 2 の強磁性層の磁化の方向との差として情報を記憶するメモリ素子を含むメモリセルと、副ワード線のそれぞれに対応して設けられ副ワード線にソースまたはドレインの一方が接続された複数のワード選択トランジスタと、副ビット線のそれぞれに対応して設けられ副ビット線にソースまたはドレインの一方が接続された複数のビット選択トランジスタと、を有するメモリセルブロックが j 行 k 列 (j , k は正整数) 配置されたメモリセルブロックマトリクスと、メモリセルブロックマトリクスの k 個のメモリセルブロック列に対応して設けられ各メモリセルブロック列内のメモリセルブロックに含まれるワード選択トランジスタのゲートに接続された k 本のワード選択線と、メモリセルブロックマトリクスの j 個のメモリセルブロック行に対応して設けられ各メモリセルブロック行内のメモリセルブロックに含まれるビット選択トランジスタのゲートに接続された j 本のビット選択線と、メモリセルブロックマトリクスの同一列に配置された j 個のメモリセルブロックに含まれる副ワー

3

ド線の総数と同数で副ワード線と同一方向に伸びた主ワード線と、メモリセルブロックマトリクスの同一行に配置されたk個のメモリセルブロックに含まれる副ビット線の総数と同数で副ビット線と同方向に伸びた主ビット線と、を備え、主ワード線のそれぞれが、対応する副ワード線に接続されたk個のワード選択トランジスタのソースまたはドレインの他方と接続され、主ビット線のそれぞれが、対応する副ビット線に接続されたj個のビット選択トランジスタのソースまたはドレインの他方と接続されたメモリセルアレイと、

k本のワード選択線のうちの1本をアクティブとし、j本のビット選択線のうちの1本をアクティブとすることによりメモリセルブロックのうち1個を選択するメモリセルブロック選択回路と、

主ワード線のうち1本を選択する行選択回路と、主ビット線のうち1本を選択する列選択回路と、選択されたメモリセルブロック内の前記メモリセルのうち副ワード線および副ビット線により選択された前記メモリセルに対して協調して情報を書き込みまた記録された情報を読み出す行側書き込み／読み出し回路および列側書き込み／読み出し回路とを備えることを特徴とする不揮発性記憶ユニット。

【請求項11】 前記メモリ素子が、第1の強磁性層の磁化の方向と第2の強磁性層の磁化の方向との差として情報を記憶し、この磁化方向の差による絶縁層中のトンネル電流の電気抵抗変化を利用して情報が読み出される請求項10記載の不揮発性記憶ユニット。

【請求項12】 前記メモリセルブロックのそれぞれは、512個以上で65,536個以下の同一の個数のメモリ素子を含むことを特徴とする請求項11記載の不揮発性記憶ユニット。

【請求項13】 前記ワード線選択トランジスタおよび前記ビット線選択トランジスタが、MOS型電界効果トランジスタである請求項10または11記載の不揮発性記憶ユニット。

【請求項14】 前記第1の方向と前記第2の方向とが、互いに直交する関係にある請求項10、11または13記載の不揮発性記憶ユニット。

【請求項15】 前記メモリセルブロックのそれぞれは、前記第2の方向に伸びた参照用副ビット線と、それぞれの副ワード線と参照用副ビット線との交差部に設けられた参照用メモリセルとを備える参照用セル列をさらに有し、参照用副ビット線が参照用ビット選択トランジスタを介して参照用主ビット線と接続することを特徴とする請求項10、11、13または14記載の不揮発性記憶ユニット。

【請求項16】 前記メモリセルブロックのそれぞれは、前記第1の方向に伸びた参照用副ワード線と、それぞれ

4

の副ビット線と参照用副ワード線との交差部に設けられた参照用メモリセルとを備える参照用セル行をさらに有し、参照用副ワード線が参照用ワード選択トランジスタを介して参照用主ワード線と接続することを特徴とする請求項10、11、13または14記載の不揮発性記憶ユニット。

【請求項17】 前記メモリセルアレイ内のメモリセルブロックに故障があるときに故障ブロックと置換して使用する予備メモリセルブロックを、さらに備えることを特徴とする請求項10、11、13、14、15または16記載の不揮発性記憶ユニット。

【請求項18】 列方向に設けたj個の前記予備メモリセルブロックからなる予備ブロック列を1列以上備えることを特徴とする請求項17記載の不揮発性記憶ユニット。

【請求項19】 行方向に設けたk個の前記予備メモリセルブロックからなる予備ブロック行を1行以上備えることを特徴とする請求項17記載の不揮発性記憶ユニット。

【請求項20】 列方向に設けたj個の前記予備メモリセルブロックからなる予備ブロック列と、行方向に設けたk個の前記予備メモリセルブロックからなる予備ブロック行とを、それぞれ1以上備えることを特徴とする請求項17記載の不揮発性記憶ユニット。

【請求項21】 前記主ワード線および前記主ビット線の線材の比抵抗が、前記副ワード線の線材の比抵抗および前記副ビット線の線材の比抵抗よりも小さい請求項10、11、13、14、15、16または17記載の不揮発性記憶ユニット。

【請求項22】 前記主ワード線および前記主ビット線の配線の膜厚が、前記副ワード線の配線の膜厚および前記副ビット線の配線の膜厚よりも厚い請求項10、11、13、14、15、16または17記載の不揮発性記憶ユニット。

【請求項23】 請求項10記載の不揮発性記憶ユニットを1または複数有することを特徴とする不揮発性半導体記憶装置。

【請求項24】 請求項15記載の不揮発性記憶ユニットを1または複数有することを特徴とする不揮発性半導体記憶装置。

【請求項25】 請求項16記載の不揮発性記憶ユニットを1または複数有することを特徴とする不揮発性半導体記憶装置。

【請求項26】 請求項17記載の不揮発性記憶ユニットを1または複数有することを特徴とする不揮発性半導体記憶装置。

【請求項27】 第1の方向に伸びたm ($m = 2^u$ でuは正整数)本の副ワード線と、前記第1の方向とは異なる第2の方向に伸びたn ($n = 2^v$ でvは正整数)本の副ビット線と、それぞれの副ワード線と副ビット線

との交差部に設けられ第1の強磁性層と第2の強磁性層とこれらに挟まれた絶縁層とを有して第1の強磁性層の磁化の方向と第2の強磁性層の磁化の方向との差として情報を記憶するメモリ素子を含むメモリセルと、副ワード線のそれぞれに対応して設けられ副ワード線にソースまたはドレインの一方が接続された m 個のワード選択トランジスタと、副ビット線のそれぞれに対応して設けられ副ビット線にソースまたはドレインの一方が接続された n 個のビット選択トランジスタと、を有するメモリセルブロックが j 行 k 列($j=2^y$, $k=2^z$ で、 y および z は正整数)配置されたメモリセルブロックマトリクスと、メモリセルブロックマトリクスの k 個のメモリセルブロック列に対応して設けられ各メモリセルブロック列内のメモリセルブロックに含まれるワード選択トランジスタのゲートに接続された k 本のワード選択線と、メモリセルブロックマトリクスの j 個のメモリセルブロック行に対応して設けられ各メモリセルブロック行内のメモリセルブロックに含まれるビット選択トランジスタのゲートに接続された j 本のビット選択線と、副ワード線と同一方向に伸びた $m \times j$ 本の主ワード線と、副ビット線と同方向に伸びた $n \times k$ 本の主ビット線と、を備え、主ワード線のそれぞれが、対応する副ワード線に接続された k 個のワード選択トランジスタのソースまたはドレインの他方と接続され、主ビット線のそれぞれが、対応する副ビット線に接続された j 個のビット選択トランジスタのソースまたはドレインの他方と接続されたメモリセルアレイと、

($y+z$)個のアドレスデータを入力し、通常の読み出しの際に z 個のアドレスデータの論理状態により k 本のワード選択線のうちの1本をアクティブとし、 y 個のアドレスデータの論理状態により j 本のビット選択線のうちの1本をアクティブとすることによりメモリセルブロックのうち1個を選択するメモリセルブロック選択回路と、

それぞれが u 個のアドレスデータを入力して m 個の主ワード線のうち1本を選択する j 個の行選択回路と、それぞれが v 個のアドレスデータを入力して n 個の主ビット線のうち1本を選択する k 個の列選択回路と、選択されたメモリセルブロック内の前記メモリセルのうち副ワード線および副ビット線により選択された前記メモリセルに対して協調して情報を書き込みまた記録された情報を読み出す j 個の行側書き込み/読み出し回路および k 個の列側書き込み/読み出し回路とを備えることを特徴とする不揮発性記憶ユニット。

【請求項28】 前記メモリ素子が、第1の強磁性層の磁化の方向と第2の強磁性層の磁化の方向との差として情報を記憶し、この磁化方向の差による絶縁層中のトンネル電流の電気抵抗変化を利用して情報が読み出される請求項27記載の不揮発性記憶ユニット。

【請求項29】 前記メモリセルブロックのそれぞれ

は、512個以上で65,536個以下の同一の個数のメモリ素子を含むことを特徴とする請求項28記載の不揮発性記憶ユニット。

【請求項30】 前記メモリセルブロック選択回路に入力するアドレスデータのうち j 本のビット選択線から1本を選択する y 個のアドレスデータが、アドレスデータの最下位から上位へ y 個のアドレスデータであることを特徴とする請求項27または28記載の不揮発性記憶ユニット。

10 【請求項31】 前記メモリセルブロック選択回路が、並列読み出しの際には複数のワード選択線を選択する機能を有することを特徴とする請求項30記載の不揮発性記憶ユニット。

【請求項32】 前記メモリセルブロック選択回路に入力するアドレスデータのうち k 本のワード選択線から1本を選択する z 個のアドレスデータが、アドレスデータの最下位から上位へ z 個のアドレスデータであることを特徴とする請求項27または28記載の不揮発性記憶ユニット。

20 【請求項33】 前記メモリセルブロック選択回路が、並列読み出しの際には複数のビット選択線を選択する機能を有することを特徴とする請求項32記載の不揮発性記憶ユニット。

【請求項34】 前記ワード線選択トランジスタおよび前記ビット線選択トランジスタが、MOS型電界効果トランジスタである請求項27または28記載の不揮発性記憶ユニット。

【請求項35】 前記第1の方向と前記第2の方向とが、互いに直交する関係にある請求項27、28または34記載の不揮発性記憶ユニット。

30 【請求項36】 前記メモリセルブロックのそれぞれは、前記第2の方向に伸びた参照用副ビット線と、それぞれの副ワード線と参照用副ビット線との交差部に設けられた参照用メモリセルとを備える参照用セル列をさらに有し、参照用副ビット線が参照用ビット選択トランジスタを介して参照用主ビット線と接続することを特徴とする請求項27、28、34または35記載の不揮発性記憶ユニット。

40 【請求項37】 前記メモリセルブロックのそれぞれは、前記第1の方向に伸びた参照用副ワード線と、それぞれの副ビット線と参照用副ワード線との交差部に設けられた参照用メモリセルとを備える参照用セル行をさらに有し、参照用副ワード線が参照用ワード選択トランジスタを介して参照用主ワード線と接続することを特徴とする請求項27、28、34または35記載の不揮発性記憶ユニット。

50 【請求項38】 前記メモリセルアレイ内のメモリセルブロックに故障があるときに故障ブロックと置換して使

用する予備メモリセルブロックを、さらに備えることを特徴とする請求項 27、28、34、35、36または37記載の不揮発性記憶ユニット。

【請求項 39】 列方向に設けた j 個の前記予備メモリセルブロックからなる予備ブロック列を 1 列以上備えることを特徴とする請求項 38 記載の不揮発性記憶ユニット。

【請求項 40】 行方向に設けた k 個の前記予備メモリセルブロックからなる予備ブロック行を 1 行以上備えることを特徴とする請求項 38 記載の不揮発性記憶ユニット。

【請求項 41】 列方向に設けた j 個の前記予備メモリセルブロックからなる予備ブロック列と、行方向に設けた k 個の前記予備メモリセルブロックからなる予備ブロック行とを、それぞれ 1 以上備えることを特徴とする請求項 38 記載の不揮発性記憶ユニット。

【請求項 42】 前記主ワード線および前記主ビット線の線材の比抵抗が、前記副ワード線の線材の比抵抗および前記副ビット線の線材の比抵抗よりも小さい請求項 27、28、34、35、36、37または38記載の不揮発性記憶ユニット。

【請求項 43】 前記主ワード線および前記主ビット線の配線の膜厚が、前記副ワード線の配線の膜厚および前記副ビット線の配線の膜厚よりも厚い請求項 27、28、34、35、36、37または38記載の不揮発性記憶ユニット。

【請求項 44】 請求項 27 記載の不揮発性記憶ユニットを 1 または複数有することを特徴とする不揮発性半導体記憶装置。

【請求項 45】 請求項 31 記載の不揮発性記憶ユニットを 1 または複数有することを特徴とする不揮発性半導体記憶装置。

【請求項 46】 請求項 33 記載の不揮発性記憶ユニットを 1 または複数有することを特徴とする不揮発性半導体記憶装置。

【請求項 47】 請求項 36 記載の不揮発性記憶ユニットを 1 または複数有することを特徴とする不揮発性半導体記憶装置。

【請求項 48】 請求項 37 記載の不揮発性記憶ユニットを 1 または複数有することを特徴とする不揮発性半導体記憶装置。

【請求項 49】 請求項 38 記載の不揮発性記憶ユニットを 1 または複数有することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電気的に書換え可能な複数のメモリセルを含むメモリセルアレイ、デコーダと書き込み／読み出し回路を含む不揮発性記憶ユニットおよび入出力回路等を含む不揮発性半導体記憶装置に

関し、特に、強磁性薄膜よりなる磁気抵抗素子のメモリセルを複数個含むメモリセルアレイおよびこれを備えて構成される不揮発性記憶ユニット並びに不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】 電気的に書換え可能な不揮発性半導体記憶装置において、強磁性薄膜よりなる磁気抵抗素子を用いてメモリ素子を構成されているものを高密度磁気メモリ (Magnetic Random Access Memory : 以下 MRAM と略す) と称する。

【0003】 図 9 は、MRAM のメモリ素子の一例の模式図である。図 9 (a) は、メモリ素子構造の模式図であり、(b) は、読み出し動作を示す模式図であり、(c) は、磁化状態と記憶データとの対応を示す模式図である。

【0004】 図 9 (a) に示すように、下層配線層 11 上の所定の表面に厚さ約 20 nm の強磁性膜よりなり磁化の方向が固定された固定層 12 と、厚さ約 1.5 nm の絶縁層 13 と、厚さ約 20 nm の強磁性膜よりなり記憶データに対応して磁化の方向が変化するデータ記憶層 14 とが下層配線 11 から上方に順次積層して形成され、データ記憶層 14 上には下層配線 11 と直交する方向に伸びた上層配線 15 が形成されている。

【0005】 図 9 (c) に示すように、メモリ素子におけるデータの記憶は、磁化の方向が固定された固定層 12 の磁化の方向と、外部磁場によって磁化の方向が変化するデータ記憶層 14 の磁化の方向とが、互いに平行 (データ “0” にあたる) であるか、または反平行 (データ “1” にあたる) であるかにより 2 値の記憶を行う。

【0006】 固定層とデータ記憶層の磁化の方向が互いに平行であるときと反平行であるときでは、トンネル磁気抵抗 (TMR) 効果により絶縁層 13 の電気抵抗値が 10 ~ 40 % 程度変化するので、図 9 (b) に示すように、下層配線 11 と上層配線 15 との間に所定の電位差を与えて絶縁層 13 を流れるトンネル電流の変化すなわち読み出し電流 16 の変化を検出することにより、メモリ素子に記憶されたデータを外部に取り出すことができる。

【0007】 このように、図 9 の TMR 効果を利用したメモリ素子は、従来の巨大磁気抵抗 (GMR) 効果を用いたメモリ素子よりも記憶データの外部への引き出し電極の構成を簡単化できるので、高密度の MRAM を形成する方法として有利である。

【0008】 図 10 (a) は、図 9 に示したメモリ素子を含むメモリセルをアレイ状に配置した MRAM の模式図であり、図 10 (b) は、書き込み動作の模式図である。

【0009】 図 10 (a) で、複数のワード線と呼ばれる下層配線 11 が配置され、ワード線とは直交する方向

に複数のビット線と呼ばれる上層配線15が配置され、両者の交差部がマトリクス状に形成されている。下層配線11と上層配線15との交差部には、前述のメモリセルCが設置されている。所定のワード線とビット線を選択することにより、任意のメモリセルを選択することができ、選択されたメモリセルに対してデータの書き込みおよび読み出しが可能となる。

【0010】従来のこの種のメモリの例として特開2000-82791号公報に開示されたMRAMがある。このMRAMにおいても下層配線と上層配線との間に形成された磁気トンネル接合(MTJ)素子のトンネル電流の変化を記憶情報として検出する。

【0011】このように、TMR効果を利用したMRAMは、通常上下2層の強磁性薄膜とこれらの強磁性薄膜によって挟まれた絶縁層との、少なくとも3層の薄膜を有する磁気抵抗素子のメモリセルにより構成される。このメモリセルは、外部磁場の大きさを制御して2つの強磁性薄膜の磁化の方向を平行または反平行に変化させることにより、絶縁層中に流れるトンネル電流に対する電気抵抗を変化させてデータ“0”およびデータ“1”の2値の記憶を行うことができる。

【0012】データの書き込みにおいては、図10

(b)に示すように、ワード線(下層配線)のうちのひとつと、ビット線(上層配線)のひとつを選択する。選択されたワード線11sおよび選択されたビット線15sのそれぞれに所定の電流値と電流方向の書き込み電流 I_{sw} および I_{sb} を流すことにより、選択されたワード線11sの周囲に磁場 M_{sw} が発生し、選択されたビット線15sの周囲に磁場 M_{sb} が発生する。磁場 M_{sw} と磁場 M_{sb} との合成磁場により、選択されたワード線11sと選択されたビット線15sとの交差部に設置された選択されたメモリセルCsのデータ記憶層の磁区を第1の方向に揃えることにより例えば固定層と平行な磁化の方向を実現し、データ“0”を記録する。

【0013】一方、反対のデータ“1”を記憶させるときには、例えば選択されたビット線15sの電流方向をデータ“0”の書き込みのときの反対方向とすることにより、磁場 M_{sb} の方向を180度変更する。その結果、合成磁場は90度変化するので、選択されたメモリセルCsのデータ記憶層の磁区を第1の方向とは反対方向の第2の方向にそろえることにより固定層と反平行な磁化方向を実現する。選択されたビット線15sの電流方向を反対方向とする代わりに、選択されたワード線11sの電流方向を反対方向としてもよい。

【0014】データの読み出しにおいては、ワード線(下層配線)のうちのひとつと、ビット線(上層配線)のひとつを選択し、両者に所定の電位差を与えて電流値を計測してこれらの交差部にある選択されたメモリセルのトンネル電流に対する抵抗値の大きさを検出することにより、記憶されたデータを外部へ取り出す。

【0015】図11は、従来のMRAMにおけるメモリセルアレイの構成を示す図である。メモリセルアレイ21は、2m本のワード線 $W_1, W_2, \dots, W_m, \dots, W(2m)$ と2n本のビット線 $B_1, B_2, \dots, B_n, \dots, B(2n)$ とのそれぞれの交差部にマトリクス状に設置された $2m \times 2n$ 個のメモリセル $C_{11} \sim C(2m)(2n)$ を有している。ワード線 W_i とビット線 B_j とを選択することにより交差部のメモリセル C_{ij} が選択され、選択されたメモリセルに対して書き込みおよび読み出しが図10を用いて説明したようにして行われる。

【0016】

【発明が解決しようとする課題】MRAMメモリセルアレイでは、選択されたワード線及びビット線の交差部に設置された選択されたメモリセルに流れる電流の微小な変化を検出することにより記憶データを判別する。しかしながら、メモリセルアレイの規模が大きくなりワード線、ビット線に接続されるメモリセルの個数が増大すると、メモリセルが2層の強磁性膜に挟まれた厚さ1.5nm程度の極めて薄い絶縁層で構成されるために、選択したワード線と非選択のビット線との間の寄生容量および選択したビット線と非選択のワード線との寄生容量が増大して読み出し時の応答遅延が大きくなり、アクセス時間がMRAMの規模の増大とともに悪化してしまうという問題点があった。

【0017】したがって、従来のMRAMでは、ビット線およびワード線の寄生容量をアクセス時間から許容できる範囲内に制限するためにビット線およびワード線に接続されるメモリセルの個数が制限されることとなり、MRAMの集積規模を制限する大きな要因となっていた。

【0018】また、アクセス時間を緩和したとしても、さらに集積規模が増大したときにはワード線およびビット線の長さの増大によりワード線およびビット線の配線抵抗が増大してメモリセルの絶縁層の電気抵抗に比較して無視できなくなることが予想され、読み出し時の電流が減少するので記憶データの読み出しそのものが困難になってしまう要因を内在していた。

【0019】本発明の目的は、集積するメモリセル個数が増大したときにもビット線、ワード線の寄生容量の増大を実質的に抑制し、アクセス時間の悪化を防止できるとともにビット線、ワード線の配線抵抗の増大をも実質的に低減して読み出し時電流の減少を防止できる不揮発性半導体記憶装置を提供することである。

【0020】

【課題を解決するための手段】本発明の第1の発明のメモリセルアレイは、第1の強磁性層と第2の強磁性層とこれらに挟まれた絶縁層とを有し第1の強磁性層の磁化の方向と第2の強磁性層の磁化の方向との差として情報を記憶するメモリ素子を含むメモリセルをマトリクス状に配置したメモリセルアレイにおいて、第1の方向に伸

びた複数の副ワード線と、前記第 1 の方向とは異なる第 2 の方向に伸びた複数の副ビット線と、それぞれの副ワード線と副ビット線との交差部に設けられた前記メモリセルと、副ワード線のそれぞれに対応して設けられ副ワード線にソースまたはドレインの一方が接続された複数のワード選択トランジスタと、副ビット線のそれぞれに対応して設けられ副ビット線にソースまたはドレインの一方が接続された複数のビット選択トランジスタと、を有するメモリセルブロックが j 行 k 列 (j, k は正整数) 配置されたメモリセルブロックマトリクスと、メモリセルアレイマトリクスの k 個のメモリセルブロック列に対応して設けられ各メモリセルブロック列内のメモリセルブロックに含まれるワード選択トランジスタのゲートに接続された k 本のワード選択線と、メモリセルブロックマトリクスの j 個のメモリセルブロック行に対応して設けられ各メモリセルブロック行内のメモリセルブロックに含まれるビット選択トランジスタのゲートに接続された j 本のビット選択線と、メモリセルブロックマトリクスの同一列に配置された j 個のメモリセルブロックに含まれる副ワード線の総数と同数で副ワード線と同一方向に伸びた主ワード線と、メモリセルブロックマトリクスの同一行に配置された k 個のメモリセルブロックに含まれる副ビット線の総数と同数で副ビット線と同一方向に伸びた主ビット線と、を備え、主ワード線のそれぞれが、対応する副ワード線に接続された k 個のワード選択トランジスタのソースまたはドレインの他方と接続され、主ビット線のそれぞれが、対応する副ビット線に接続された j 個のビット選択トランジスタのソースまたはドレインの他方と接続されている。

【0021】第 2 の発明の不揮発性記憶ユニットは、第 1 の発明のメモリセルアレイに加えて、 k 本のワード選択線のうちの 1 本をアクティブとし、 j 本のビット選択線のうちの 1 本をアクティブとすることによりメモリセルブロックのうち 1 個を選択するメモリセルブロック選択回路と、主ワード線のうち 1 本を選択する行選択回路と、主ビット線のうち 1 本を選択する列選択回路と、選択されたメモリセルブロック内のメモリセルのうち副ワード線および副ビット線により選択された前記メモリセルに対して協調して情報を書き込みまた記録された情報を読み出す行側書き込み／読み出し回路および列側書き込み／読み出し回路とを備えている。

【0022】第 3 の発明の不揮発性半導体記憶装置は、第 2 の発明の不揮発性記憶ユニットを 1 または複数有して構成される。

【0023】第 4 の発明の不揮発性記憶ユニットは、第 1 の方向に伸びた m ($m = 2^u$ で u は正整数) の副ワード線と、前記第 1 の方向とは異なる第 2 の方向に伸びた n ($n = 2^v$ で v は正整数) の副ビット線と、それぞれの副ワード線と副ビット線との交差部に設けられ第 1 の強磁性層と第 2 の強磁性層とこれらに挟まれた絶縁

層とを有して第 1 の強磁性層の磁化の方向と第 2 の強磁性層の磁化の方向との差として情報を記憶するメモリ素子を含むメモリセルと、副ワード線のそれぞれに対応して設けられ副ワード線にソースまたはドレインの一方が接続された m 個のワード選択トランジスタと、副ビット線のそれぞれに対応して設けられ副ビット線にソースまたはドレインの一方が接続された n 個のビット選択トランジスタと、を有するメモリセルブロックが j 行 k 列

($j = 2^y$, $k = 2^z$ で y および z は正整数) 配

置されたメモリセルブロックマトリクスと、メモリセルブロックマトリクスの k 個のメモリセルブロック列に対応して設けられ各メモリセルブロック列内のメモリセルブロックに含まれるワード選択トランジスタのゲートに接続された k 本のワード選択線と、メモリセルブロックマトリクスの j 個のメモリセルブロック行に対応して設けられ各メモリセルブロック行内のメモリセルブロックに含まれるビット選択トランジスタのゲートに接続された j 本のビット選択線と、副ワード線と同一方向に伸びた $m \times j$ 本の主ワード線と、副ビット線と同一方向に伸びた $n \times k$ 本の主ビット線と、を備え、主ワード線のそれぞれが、対応する副ワード線に接続された k 個のワード選択トランジスタのソースまたはドレインの他方と接続され、主ビット線のそれぞれが、対応する副ビット線に接続された j 個のビット選択トランジスタのソースまたはドレインの他方と接続されたメモリセルアレイと、

($y + z$) 個のアドレスデータを入力し、通常の読み出しの際に z 個のアドレスデータの論理状態により k 本のワード選択線のうちの 1 本をアクティブとし、 y 個のアドレスデータの論理状態により j 本のビット選択線のうちの 1 本をアクティブとすることによりメモリセルブロックのうち 1 個を選択するメモリセルブロック選択回路と、それぞれが u 個のアドレスデータを入力して m 個の主ワード線のうち 1 本を選択する j 個の行選択回路と、それぞれが v 個のアドレスデータを入力して n 個の主ビット線のうち 1 本を選択する k 個の列選択回路と、選択されたメモリセルブロック内の前記メモリセルのうち副ワード線および副ビット線により選択された前記メモリセルに対して協調して情報を書き込みまた記録された情報を読み出す j 個の行側書き込み／読み出し回路および k 個の列側書き込み／読み出し回路とを備えている。

【0024】第 5 の発明の不揮発性半導体記憶装置は、第 4 の発明の不揮発性記憶ユニットを 1 または複数有して構成される。

【0025】

【発明の実施の形態】次に本発明について図面を参照して説明する。図 1 は、本発明の一実施の形態の MRAM メモリセルアレイの構成を示す図である。

【0026】メモリセルアレイ 1 には、図 1 における $2m$ (m は正整数) 本のワード線 $W1 \sim W(2m)$ に対応する $2m$ 本の主ワード線 $MW1, \dots, MWm, MW(m$

+1), ..., MW(2m)と、図11における2n(nは正整数)本のビット線B1~B(2n)に対応する2n本の主ビット線MB1, ..., MBn, MB(n+1), ..., MB(2n)と、第1, 第2のワード選択線WSL1, WSL2と、第1, 第2のビット選択線BSL1, BSL2とが供給されている。また、メモリセルアレイ1は、2行2列のマトリクス状に配置された第1のメモリセルブロックA11, 第2のメモリセルブロックA12, 第3のメモリセルブロックA13および第4のメモリセルブロックA14を有している。

【0027】第1のメモリセルブロックA11には、m本の副ワード線SW11~SW1mおよびn本の副ビット線SB11~SB1nが供給されそれぞれの交差部にTMR効果を利用して書き込み読み出しができるメモリ素子を含むメモリセルCが設けられ、第2のメモリセルブロックA12には、m本の副ワード線SW21~SW2mおよびn本の副ビット線SB21~SB2nが供給されそれぞれの交差部にメモリセルCが設けられ、第3のメモリセルブロックA21には、m本の副ワード線SW31~SW3mおよびn本の副ビット線SB31~SB3nが供給されそれぞれの交差部にメモリセルCが設けられ、第4のメモリセルブロックA22には、m本の副ワード線SW41~SW4mおよびn本の副ビット線SB41~SB4nが供給されそれぞれの交差部にメモリセルCが設けられている。

【0028】副ワード線SW11~SW1mは、ゲートに第1のワード選択線WSL1が接続されたMOS型のワード選択トランジスタWT11~WT1mを介してそれぞれ主ワード線MW1~MWmに接続され、副ビット線SB11~SB1nは、ゲートに第1のビット選択線BSL1が接続されたMOS型のビット選択トランジスタBT11~BT1nを介してそれぞれ主ビット線MB1~MBnに接続されている。

【0029】図2は、メモリセルブロックA11の構成を示す図である。図2において、副ワード線SW11はゲートに第1のワード選択線WSL1が接続されたワード選択トランジスタWT11を介して主ワード線MW1に接続され、同様に副ワード線SW12~SW1mも、ゲートに第1のワード選択線WSL1が接続されたワード選択トランジスタWT12~WT1mを介してそれぞれ主ワード線MW2~MWmに接続されている。また、副ビット線SB11はゲートに第1のビット選択線BSL1が接続されたビット選択トランジスタBT11を介して主ビット線MB1に接続され、同様に副ビット線SB12~SB1nも、ゲートに第1のビット選択線BSL1が接続されたビット選択トランジスタBT12~BT1nを介してそれぞれ主ビット線MB2~MBnに接続されている。メモリセルブロックA11においては、副ワード線SW11と副ビット線SB11, SB12, ..., SB1nとの交差部には、一端をサブワード線に接続

され他端をサブビット線に接続されてTMR効果を利用して書き込みおよび読み出しができるメモリ素子を含むメモリセルC11, C12, ..., C1nがそれぞれ設けられ、副ワード線SW12と副ビット線SB11, SB12, ..., SB1nとの交差部には、一端をサブワード線に接続され他端をサブビット線に接続されたメモリセルC21, C22, ..., C2nがそれぞれ設けられ、同様にして、副ワード線SW1mと副ビット線SB11, SB12, ..., SB1nとの交差部には一端をサブワード線に接続され他端をサブビット線に接続されたメモリセルCm1, Cm2, ..., Cmnがそれぞれ設けられている。

【0030】図1に戻り、同様に副ワード線SW21~SW2mは、ゲートに第2のワード選択線WSL2が接続されたワード選択トランジスタWT21~WT2mを介してそれぞれ主ワード線MW1~MWmに接続され、副ビット線SB21~SB2nは、ゲートに第1のビット選択線BSL1が接続されたビット選択トランジスタBT21~BT2nを介してそれぞれ主ビット線MB(n+1)~MB(2n)に接続されている。

【0031】副ワード線SW31~SW3mは、ゲートに第1のワード選択線WSL1が接続されたワード選択トランジスタWT31~WT3mを介してそれぞれ主ワード線MW(m+1)~MW(2m)に接続され、副ビット線SB31~SB3nは、ゲートに第2のビット選択線BSL2が接続されたビット選択トランジスタBT31~BT3nを介してそれぞれ主ワード線MB1~MBnに接続されている。

【0032】同様に、副ワード線SW41~SW4mは、ゲートに第2のワード選択線WSL2が接続されたワード選択トランジスタWT41~WT4mを介してそれぞれ主ワード線MW(m+1)~MW(2m)に接続され、副ビット線SB41~SB4nは、ゲートに第2のビット選択線BSL2が接続されたビット選択トランジスタBT41~BT4nを介してそれぞれ主ビット線MB(n+1)~MB(2n)に接続されている。

【0033】第1のメモリセルブロックA11を選択する場合には、第1のワード選択線WSL1と第1のビット選択線BSL1とに所定のアクティブ電圧レベルを印加し、ワード選択トランジスタWT11~WT1mとビット選択トランジスタBT11~BT1nを導通させる。

【0034】同様に、第2のメモリセルブロックA12を選択する場合には、第2のワード選択線WSL2と第1のビット選択線BSL1とに所定のアクティブ電圧レベルを印加すればよく、第3のメモリセルブロックA21を選択するには、第1のワード選択線WSL1と第2のビット選択線BSL2とに所定のアクティブ電圧レベルを印加すればよく、第4のメモリセルブロックA22を選択するには、第2のワード選択線WSL2と第2のビット選択線BSL2とに所定のアクティブ電圧レベル

を印加すればよい。

【0035】このように、ワード選択線とビット選択線に所定のアクティブ電圧レベルを印加することにより所望のメモリセルブロックのワード選択トランジスタおよびビット選択トランジスタを導通させ、選択されたメモリセルブロック内の副ワード線に対応する主ワード線へ電氣的に接続し、副ビット線に対応する主ビット線へ電氣的に接続することができ、選択したメモリセルブロック内の所望のメモリセルを選択することができる。

【0036】本発明によれば、メモリセルアレイ内の特定のメモリセルにアクセスする場合に、ビット選択線とワード選択線によりそのメモリセルが含まれるメモリセルブロックのみを選択すればよい。このため、選択されたメモリセルブロック以外のメモリセルブロックは、主ワード線および主ビット線から切り離されるので主ワード線の寄生容量および主ビット線の寄生容量を低減することができ、集積するメモリセル個数が増大したときにもビット線、ワード線の寄生容量の増大を実質的に抑制し、アクセス時間の悪化を防止できる。

【0037】さらに、主ワード線 $W1 \sim W(2m)$ に対して、副ワード線 $SW11 \sim SW1m$, $SW21 \sim SW2m$, $SW31 \sim SW3m$ および $SW41 \sim SW4m$ よりも単位長さあたりの抵抗値を小さくする方法を適用し、同様に主ビット線 $B1 \sim B(2n)$ に対して、副ビット線 $SB11 \sim SB1n$, $SB21 \sim SB2n$, $SB31 \sim SB3n$ および $SB41 \sim SB4n$ よりも単位長さあたりの抵抗値を小さくする方法を適用することにより、集積規模が増大したときにもワード線およびビット線の配線抵抗の増大に起因する読み出し電流の減少を防止することができる。副ワード線および副ビット線に加工の容易な金属であるアルミニウム(A1)を使用すると、主ワード線および主ビット線の抵抗値を小さくする方法には、例えば主ワード線および主ビット線に比抵抗がより小さい金属である銅(Cu)を使用し、また主ワード線および主ビット線の線幅を副ワード線および副ビット線の線幅よりも大きくし、さらに主ワード線および主ビット線の配線の膜厚を副ワード線および副ビット線の配線の膜厚よりも厚くするなどの方法がある。

【0038】なお、図1では、メモリセルブロックの個数を4として2本のワード選択線と2本のビット選択線により所望のメモリセルブロックを選択する構成を例として説明したがこれに限定されるものではなく、 $j \times k$ (j, k は正整数)個以下の個数のメモリセルブロックをマトリクス状に配置して j 行 k 列のメモリセルブロックマトリクスを構成し、 k 本のワード選択線と j 本のビット選択線により1個のメモリセルブロックを選択するように構成することが可能である。

【0039】図3は、本発明のメモリセルアレイの第2の実施例を説明するためにメモリセルブロックの構成を示す図である。第2の実施例では、メモリセルアレイに

含まれるそれぞれのメモリセルブロックは、記憶用のメモリセルに加えて記憶データの読み出しの際に参照比較用として用いる参照用メモリセルを備えている。

【0040】図3においてメモリセルブロックA11aは、図2のメモリセルブロックA11と同様に、副ワード線 $SW11 \sim SW1m$ は、ゲートに第1のワード選択線 $WSL1$ が接続されたワード選択トランジスタ $WT11 \sim WT1m$ を介して主ワード線 $MW1 \sim MWm$ にそれぞれ接続され、副ビット線 $SB11 \sim SB1n$ は、ゲートに第1のビット選択線 $BSL1$ が接続されたビット選択トランジスタ $BT11 \sim BT1n$ を介して主ビット線 $MB1 \sim MBn$ にそれぞれ接続され、副ワード線 $SW11$, $SW12$, \dots $SW1m$ と副ビット線 $SB11$, $SB12$, \dots $SB1n$ との交差部にメモリセル $C11 \dots Cmn$ が設けられている。これに加えて、メモリセルブロックA11aは、副参照ビット線 $SBR1$ と副ワード線 $SW11$, $SW12$, \dots $SW1m$ との交差部に参照用メモリセル $R1$, $R2$, \dots Rm が設けられた参照セル列31を含み、副参照ビット線 $SBR1$ は、これにソースまたはドレインの一方が接続されゲートが第1のビット選択線 $BSL1$ に接続された参照ビット選択トランジスタ BTR を介して主参照ビット線 $MBR1$ に接続されている。

【0041】本発明のメモリセルアレイの第2の実施例は、図1のメモリセルブロックA11を図3の参照セル列を含むメモリセルブロックA11aに置き換え、また、メモリセルブロックA12, A21, A22を、図3と同様に参照セル列を付加したメモリセルブロックA12a, A21a, A22aにそれぞれ置き換えたものである。メモリセルブロックA11aとメモリセルブロックA21aとには主参照ビット線 $MBR1$ が接続され、メモリセルブロックA12aとメモリセルブロックA22aとには主参照ビット線 $MBR2$ が接続される。

【0042】このように、各メモリセルブロック内に参照セル列を設けることにより、記憶データの読み出しの際に、読み出し対象のメモリセルと同一セルブロック内に設けられた参照用メモリセルとを比較してセンスすることができるので、メモリセルの位置に依存する特性ばらつきの影響を低減することができる。

【0043】なお、図3では、参照用セルを列方向に設けた参照セル列を有する実施例としたが、参照用セルを行方向に設ける構成としてもよい。すなわち、参照用副ワード線と、それぞれの副ビット線と参照用副ワード線との交差部に設けられた参照用メモリセルとを備える参照用セル行を有し、参照用副ワード線が参照用ワード選択トランジスタを介して参照用主ワード線と接続するように各メモリセルブロックを構成しても図3の構成と同様な効果が得られる。

【0044】次に本発明の他の実施の形態について説明する。図4は、第2の実施の形態の不揮発性記憶ユニッ

トの構成を示す図である。

【0045】不揮発性記憶ユニット10は、マトリクス状に設けられた複数のメモリセルブロックを有するメモリセルアレイ1と、メモリセルブロックのうち1個を選択するメモリセルブロック選択回路2と、複数の主ワード線のうち1本を選択する行選択回路3と複数の主ビット線のうち1本を選択する列選択回路4と、選択されたメモリセルブロック内のメモリセルのうち副ワード線および副ビット線により選択されたメモリセルの副ワード線に対して、データの書き込みのときには書き込みデータに基づき行側書き込み電流を供給し、データの読み出しのときには行側読み出し電位を供給する行側書き込み／読み出し回路5と、選択されたメモリセルブロック内のメモリセルのうち副ワード線および副ビット線により選択されたメモリセルの副ビット線に対して、データの書き込みのときには書き込みデータに基づいて列側書き込み電流を供給し、データの読み出しのときには列側読み出し電位を供給する列側書き込み／読み出し回路6とを備えている。

【0046】データの読み出しにおいては、行側側書き込み／読み出し回路5または列側書き込み／読み出し回路6のいずれかに設けた読み出し電流のセンス部により、選択されたメモリセルを通じて行側側書き込み／読み出し回路5と列側書き込み／読み出し回路6との間に流れる電流値の大小を検出する事によりデータの読み出しを行う。

【0047】メモリセルアレイ1は、第1の実施の形態のメモリセルアレイと同様であるので詳細は省略する。

【0048】このような構成にすることにより、各メモリセルブロックに対してそれぞれに独立した行選択回路、列選択回路、行側書き込み／読み出し回路、列側書き込み／読み出し回路を設ける必要がなくなるので、不揮発性記憶ユニット10のLSIチップ面積を小さくできるという利点が生じる。

【0049】メモリセルブロックの規模が大きくなると、ビット線選択したワード線と非選択のビット線との間の寄生容量および選択したビット線と非選択のワード線との寄生容量が増大によりアクセス時間が悪化し、また、ワード線およびビット線の長さが増大するのでワード線およびビット線の配線抵抗が増大して読み出しのセンス感度が低下する。このため、1メモリセルブロックは65、536程度以下のセルを矩形に近い領域に配置するのが実用的には適当で、すなわち、1メモリセルブロックが含むセル数の上限を256×256程度とするのが好ましい。逆に、1メモリセルブロックが含むセル数を小さくする場合には、メモリセルブロックの個数が増大することになり、これに伴ってメモリセルブロック毎にビット選択トランジスタおよびワード選択を設けることになるので、メモリセルアレイ1の面積が増大し、不揮発性記憶ユニット10の面積が増大することにな

る。したがって1メモリセルブロックが512セル以上を含むように構成するのが実用上好ましい。

【0050】なお、各メモリセルブロックが、図3のメモリセルブロックA11aと同様に、記憶用のメモリセルに加えて読み出しの際に比較のための参照用として用いる参照用メモリセルを備えているものであってもよい。

【0051】図5は、図4の第2の実施形態の不揮発性記憶ユニットに予備のメモリセルブロックを付加した第2の実施例の構成を示す図である。

【0052】この第2の実施形態の第2の実施例の不揮発性記憶ユニット40は、図4の不揮発性ユニット10と同様に、メモリセルアレイ1、行選択回路3、列選択回路4、行側書き込み／読み出し回路5、列側書き込み／読み出し回路6およびメモリセルブロック選択回路49を有するが、さらに加えて、予備メモリセルブロック行41、予備行選択回路42、予備行側書き込み／読み出し回路43、行側の置換回路44、予備メモリセルブロック列45、予備列選択回路46、予備列側書き込み／読み出し回路47および列側の置換回路48を有している。

【0053】予備メモリセルブロック行41は、メモリセルアレイ1内のメモリセルブロックの列数と同数のメモリセルブロックSR1、SR2を含む。メモリセルブロック選択回路49からの予備ビット選択線BSLSとワード選択線により予備メモリセルブロック行41内のメモリセルブロックが選択される。

【0054】同様に、予備メモリセルブロック列45は、メモリセルアレイ1内のメモリセルブロックの行数と同数のメモリセルブロックSC1、SC2を含む。メモリセルブロック選択回路49からの予備ワード選択線WSLSとビット選択線により予備メモリセルブロック列45内のメモリセルブロックが選択される。

【0055】メモリセルアレイ1の例えばメモリセルブロックA11内のメモリセルに故障がある場合には、行選択回路3内の故障メモリセルを含むメモリセルブロックに主ワード線を供給する部分を、置換回路44により予備行選択回路42内に置換し、メモリセルブロック選択回路49にこれを記憶させておく。メモリセルブロックA11内のメモリセルが選択されたときには、メモリセルブロック選択回路49がビット選択線BSL1とワード選択線WSL1とをアクティブにしてメモリセルブロックA11を実際に選択する代わりに、予備ビット選択線BSLSとワード選択線WSL1とをアクティブにしてメモリセルブロックSR1を選択する。メモリセルブロックSR1が選択されたときの行側の読み出し／書き込みの操作は予備行側書き込み／読み出し回路43により実行される。

【0056】また、予備メモリセルブロック列45を用いて故障メモリセルの救済を行ってもよい。メモリセル

ブロック A11 内のメモリセルに故障がある場合に、列選択回路 4 内の故障メモリセルを含むメモリセルブロックに主ワード線を供給する部分を、置換回路 48 により予備列選択回路 46 内に置換し、メモリセルブロック選択回路 49 にこれを記憶させておく。メモリセルブロック A11 内のメモリセルが選択されたときには、メモリセルブロック選択回路 49 がビット選択線 BSL1 とワード選択線 WSL1 とをアクティブにする代わりに、ビット選択線 BSL1 と予備ワード選択線 WSLS とをアクティブにしてメモリセルブロック SC1 を選択する。メモリセルブロック SC1 が選択されたときの列側の読み出し／書き込みの操作は予備列側書き込み／読み出し回路 47 により実行される。

【0057】なお、図 5 では、予備メモリセルブロック行、予備メモリセルブロック列を、それぞれ 1 として説明したが、予備メモリセルブロック行を複数としメモリセルブロック選択回路からの複数の予備ビット選択線 BSLS1, BSLS2... で置き換えされる予備メモリセルブロック行を指定するようにし、また、予備メモリセルブロック列を複数としメモリセルブロック選択回路からの複数の予備ワード選択線 WSLS1, WSLS2... で置き換えされる予備メモリセルブロック列を指定するようにしてもよい。また、予備メモリセルブロック行、予備メモリセルブロック列の一方のみを備えてもよい。

【0058】また、予備のメモリセルブロックを含む各メモリセルブロックが、図 3 のメモリセルブロック A11a と同様に、記憶用のメモリセルに加えて読み出しの際に比較のための参照用として用いる参照用メモリセルを備えているものであってもよい。

【0059】次に、本発明のさらに他の実施形態について説明する。図 6 は、第 3 の実施形態の不揮発性半導体記憶装置の一実施例の構成を示す図である。

【0060】不揮発性半導体装置 50 は、複数の不揮発性記憶ユニット 10-1, 10-2, 10-3, 10-4 を備えている。それぞれの不揮発性記憶ユニットは、メモリセルブロック A11, A12, A21, A22 を含むメモリセルアレイ 1 を有している。メモリセルアレイ 1 は、図 1 の第 1 の実施の形態に説明したものと同様であり、不揮発性記憶ユニット 10-1, 10-2, 10-3, 10-4 のそれぞれは、図 4 の第 2 の実施の形態に説明したものと同様であるので、詳細説明は省略する。

【0061】不揮発性半導体装置 50 は、制御部 51 の制御の下に、書き込みのときには入出力部 52 から入力されたデータを不揮発性記憶ユニット 10-1, 10-2, 10-3, 10-4 に書き込み、読み出しのときには不揮発性記憶ユニット 10-1, 10-2, 10-3, 10-4 から読み出したデータを入出力部 52 から外部へ出力する。なお、図 6 においては、不揮発性半導体記憶装置 50 は、4 個の不揮発性記憶ユニットを備え

ているが、これに制約されるものでなく 1 個または任意の複数個の不揮発性ユニットを備えて構成してもよい。多ビット長のデータを 1 個の不揮発性記憶ユニットに記憶するように制御部 51 を構成してもよく、複数の不揮発性記憶ユニットに分散して記憶するように制御部 51 を構成してもよい。また、不揮発性記憶ユニット 10 を、図 5 の予備のメモリセルブロックを備える不揮発性記憶ユニット 40 に置き換えてもよい。

【0062】次に、本発明のさらに他の実施形態について説明する。図 7 は、第 4 の実施形態の不揮発性記憶ユニットの一実施例の構成を示す図である。

【0063】図 7 の不揮発性記憶ユニット 60 は、メモリセルアレイ 1 と、メモリセルブロック選択回路 62 と、行選択回路 63-1, 63-2 と、列選択回路 64-1, 64-2 と、行側書き込み／読み出し回路 65-1, 65-2 と、列側書き込み／読み出し回路 66-1, 66-2 とを備え、アドレスデータ AD0~AD9 により 2^{10} 個のメモリセルを含むメモリセルアレイ 1 内から書き込み／読み出しの対象メモリセルを選択する。

【0064】メモリセルブロック選択回路 62 には、アドレスデータ AD0, AD1 が入力され、例えば、(AD1, AD0) = (0, 0) のときビット選択線 BSL1 とワード選択線 WSL1 がアクティブとなり、(AD1, AD0) = (0, 1) のときビット選択線 BSL2 とワード選択線 WSL1 がアクティブとなり、(AD1, AD0) = (1, 0) のときビット選択線 BSL1 とワード選択線 WSL2 がアクティブとなり、(AD1, AD0) = (1, 1) のときビット選択線 BSL2 とワード選択線 WSL2 がアクティブとなるとする。

【0065】列選択回路 64-1, 64-2 には、いずれもアドレスデータ AD2~AD5 が入力され、列選択回路 64-1 は $2^4 = 16$ 個の主ビット線 MB1~MB16 のうちの 1 つを選択する。同様に、列選択回路 64-2 は $2^4 = 16$ 個の主ビット線 MB1~MB16 のうちの 1 つを選択する。すなわち、図 4 の第 2 実施形態の不揮発性記憶ユニットとは異なり、同時に列選択回路の個数分の主ビット線が選択される。また、行選択回路 63-1, 63-2 には、いずれもアドレスデータ AD6~AD9 が入力され、行選択回路 63-1 は $2^4 = 16$ 個の主ワード線 MW1~MW16 のうちの 1 つを選択する。同様に、行選択回路 63-2 は $2^4 = 16$ 個の主ワード線 MB1~MB16 のうちの 1 つを選択する。すなわち、同時に行選択回路の個数分の主ワード線が選択される。図 1 のメモリセルアレイとの対応では、図 1 の主ビット線 MB1~MBn に列選択回路 64-1 から出力される方の主ビット線 MB1~MB16 が相当し、図 1 の主ビット線 MB(n+1)~MB(2n) に列選択回路 64-2 から出力される方の主ビット線 MB1~MB16 が相当し、図 1 の主ワード線 MW1~MW

mに行選択回路63-1から出力される方の主ワード線MW1~MW16が相当し、図1の主ワード線MW(m+1)~MB(2m)に行選択回路63-2から出力される方の主ビット線MW1~MW16が相当する。

【0066】不揮発性記憶ユニット60において、例えばメモリセルブロックA11内のメモリセルC(16)

(16)の書き込みまたは読み出しを行う場合には、列選択回路64-1、64-2ではアドレスデータ(AD5, AD4, AD3, AD2)=(1, 1, 1, 1)が入力されて、それぞれの列選択回路からの主ビット線MB16が選択される。同様に、行選択回路63-1、63-2にアドレスデータ(AD9, AD8, AD7, AD6)=(1, 1, 1, 1)が入力されて、それぞれの行選択回路からの主ワード線MB16が選択される。このように、上位のアドレスデータAD2~AD9により、メモリセルブロックA11内のメモリセルC(16)(16)と、メモリセルブロックA12内のメモリセルC(16)(32)と、メモリセルブロックA21内のメモリセルC(32)(16)と、メモリセルブロックA22内のメモリセルC(32)(32)とが選択候補のメモリセルとなるが、メモリセルブロック選択回路62にアドレスデータ(AD1, AD0)=(0, 0)を入力することにより、ビット選択線BSL1とワード選択線WSL1がアクティブとなってメモリセルブロックA11内のメモリセルC(16)(16)が選択される。メモリセルC(16)(16)が選択された場合には、列側書き込み/読み出し回路66-1と行側書き込み/読み出し回路65-1により書き込みまたは読み出しが行われる。

【0067】不揮発性記憶ユニット60では、アドレスデータによってメモリセルブロック選択回路の出力であるビット選択線とワード選択線とのアクティブレベルの選択を制御するようにしたので、メモリセルブロック選択回路62が行側選択回路と同様な構成でよく、設計が容易となる。

【0068】さらに、本実施例をもとに、メモリセルブロック選択回路62に複数のワード選択線または複数のビット選択線を同時にアクティブにする機能を付加することにより、互いに異なるメモリセルブロックに含まれる複数のメモリセルの記憶データを並列に読み出すことが可能となる。具体的には、列選択回路64-1、64-2ではアドレスデータ(AD5, AD4, AD3, AD2)=(1, 1, 1, 1)が入力され、行選択回路63-1、63-2にアドレスデータ(AD9, AD8, AD7, AD6)=(1, 1, 1, 1)が入力されている場合に、メモリセルブロック選択回路62はアドレスデータAD1の値に係わらずにワード選択線WSL1およびWSL2の両方をアクティブレベルとして出力するので、アドレスデータAD0が論理値0のときにはメモリセルブロックA11内のメモリセルC(16)(1

6)とメモリセルブロックA12内のメモリセルC(16)(32)とが同時に選択され、並列して読み出すことができる。同様に、アドレスデータAD0が論理値1のときにはメモリセルブロックA11内のメモリセルC(32)(16)とメモリセルブロックA12内のメモリセルC(32)(32)とが同時に選択され、並列して読み出すことができる。

【0069】メモリセルがTMR素子のようにワード線とビット線との間の抵抗値の変化によりデータを記憶する場合には、同一のメモリセルブロック内で複数のメモリセルが選択されると寄生的な電流経路が多数発生するために、正確な読み出しができなくなる。図7のように、不揮発性記憶ユニット60に入力するアドレスデータのうち最下位から(y+z)個のアドレスデータ(図7ではAD0, AD1の2個)をメモリセルブロック選択回路62に入力し、最下位からy個(図7ではAD0の1個)のアドレスデータでビット選択線を選択するとともに、並列読み出しの場合には残りのz個(図7ではAD1の1個)のアドレスデータで複数のワード選択線がアクティブとなって選択されるようにすることにより、並列読み出しされる複数のメモリセルは同一の主ワード線に電氣的に接続され且つ異なるメモリセルブロックに属するものとなる。なお、(y+z)個のアドレスデータのうちの最下位からZ個のアドレスデータでワード選択線を選択するとともに、並列読み出しの場合には残りのy個のアドレスデータで複数のビット選択線がアクティブとなって選択されるようにしてもよく、このように構成した場合には並列読み出しされる複数のメモリセルは同一の主ビット線に電氣的に接続され且つ異なるメモリセルブロックに属するものとなる。

【0070】図7では、2行2列メモリセルブロックを含みメモリセルブロックがそれぞれ16行16列のメモリセルを含む不揮発性記憶ユニットを例として説明したが、本発明がこれに制約されるものでなく、j行k列($j=2^y$, $k=2^z$ で、yおよびzは正整数)のメモリセルブロックを含み、それぞれのメモリセルブロックがm行n列($m=2^u$, $n=2^v$ で、uおよびvは正整数)のメモリセルを有して構成してもよい。

【0071】また、各メモリセルブロックが、図3のメモリセルブロックA11aと同様に、記憶用のメモリセルに加えて読み出しの際に比較のための参照用として用いる参照用メモリセルを備えているものであってもよい。

【0072】図8は、図7の第4の実施形態の不揮発性記憶ユニット60に予備のメモリセルブロックを付加した第2の実施例の構成を示す図である。

【0073】この第4の実施形態の第2の実施例の不揮発性記憶ユニット70は、図7の不揮発性ユニット60と同様に、メモリセルアレイ1と、行選択回路63-

1, 63-2と、列選択回路64-1, 64-2と、行側書き込み/読み出し回路65-1, 65-2と、列側書き込み/読み出し回路66-1, 66-2と、メモリセルブロック選択回路72とを有するが、さらに加えて、予備メモリセルブロック行41, 予備行選択回路63-S, 予備行側書き込み/読み出し回路65-S, 予備メモリセルブロック列45, 予備列選択回路64-S, 予備列側書き込み/読み出し回路66-Sおよび置換回路73を有している。

【0074】予備メモリセルブロック行41は、メモリセルアレイ1内のメモリセルブロックの列数と同数のメモリセルブロックSR1, SR2を含む。メモリセルブロック選択回路72からの予備ビット選択線BSLSとワード選択線により予備メモリセルブロック行41内のメモリセルブロックが選択される。

【0075】同様に、予備メモリセルブロック列45は、メモリセルアレイ1内のメモリセルブロックの行数と同数のメモリセルブロックSC1, SC2を含む。メモリセルブロック選択回路72からの予備ワード選択線WSLSとビット選択線により予備メモリセルブロック列45内のメモリセルブロックが選択される。

【0076】メモリセルアレイ1の例えばメモリセルブロックA11内のメモリセルに故障がある場合には、ワード選択線WSL1とビット選択線BSL1が選択されるアドレスデータ(AD1, AD0) = (0, 0)のときにビット選択線BSL1に換えて予備ビット選択線BSLSを選択するように置換回路73に予め記憶させておく。アドレスデータ(AD9, AD8, AD7, AD6, AD5, AD4, AD3, AD2, AD1, AD0) = (x, x, x, x, x, x, x, x, 0, 0)が入力されると置換回路73の制御によりメモリセルブロック選択回路72はワード選択線WSL1と予備ビット選択線BSLSとをアクティブにするので、メモリセルブロックA11を選択する代わりに、メモリセルブロックSR1を選択する。メモリセルブロックSR1が選択されたときの行側の読み出し/書き込みの操作は予備行側書き込み/読み出し回路65-Sにより実行される。

【0077】また、予備メモリセルブロック列45を用いて故障メモリセルの救済を行ってもよい。メモリセルブロックA11内のメモリセルに故障がある場合に、ワード選択線WSL1が選択された際にはこれに換えて予備ワード選択線WSLSをアクティブにするように置換回路73に記憶させてもよい。この場合には、メモリセルブロックA11が選択されると、実際には予備メモリセルブロック45内のメモリセルブロックSC1が選択される。

【0078】図5の不揮発性記憶ユニット40では、例えば、メモリセルブロックA11とメモリセルブロックA22の両方に故障がある場合には、メモリセルブロックA11を予備メモリセルブロック行41のメモリセル

ブロックSR1と置換し、メモリセルブロックA22を予備メモリセルブロック列45のメモリセルブロックSC2と置換するため、予備メモリセルブロック行41と予備メモリセルブロック列45の両方が使用済みとなってしまう。これに対して、図8の不揮発性記憶ユニット70では、メモリセルアレイ1, 予備メモリセルブロック行41および予備メモリセルブロック列45の何れにも含まれるメモリセルブロックにも同一の主ワード線と主ビット線が供給されているので、メモリセルブロックA11とメモリセルブロックA22の両方に故障がある場合に、メモリセルブロックA11を予備メモリセルブロック行41のメモリセルブロックSR1と置換し、メモリセルブロックA22も予備メモリセルブロック行41のメモリセルブロックSR2と置換することができる。したがって、不揮発性記憶ユニット70は、図5の不揮発性記憶ユニット40と比較してさらに多くの故障メモリセルブロックを救済することができる。

【0079】なお、図8では、予備メモリセルブロック行、予備メモリセルブロック列を、それぞれ1として説明したが、予備メモリセルブロック行を複数としメモリセルブロック選択回路からの複数の予備ビット選択線BSLS1, BSLS2...で置き換えされる予備メモリセルブロック行を指定するようにし、また、予備メモリセルブロック列を複数としメモリセルブロック選択回路からの複数の予備ワード選択線WSLS1, WSLS2...で置き換えされる予備メモリセルブロック列を指定するようにしてもよい。また、予備メモリセルブロック行、予備メモリセルブロック列の一方のみを備えてもよい。

【0080】また、各メモリセルブロックが、図3のメモリセルブロックA11aと同様に、記憶用のメモリセルに加えて読み出しの際に比較のための参照用として用いる参照用メモリセルを備えているものであってもよい。

【0081】次に、本発明の第5の実施形態の不揮発性半導体記憶装置について説明する。第5の実施形態の不揮発性半導体装置は、図6における不揮発性記憶ユニット10を図7の不揮発性記憶ユニット60に置き換えたものであり、複数の不揮発性記憶ユニット60-1, 60-2, 60-3, 60-4を備えている(図は省略する)。

【0082】不揮発性半導体装置は、制御部51の制御の下に、書き込みのときには入出力部52から入力されたデータを不揮発性記憶ユニット60-1, 60-2, 60-3, 60-4に書き込み、読み出しのときには不揮発性記憶ユニット60-1, 60-2, 60-3, 60-4から読み出したデータを入出力部32から外部へ出力することも図6と同様である。なお、不揮発性記憶ユニットは、1個または任意の複数個の不揮発性記憶ユニットを備えて構成してもよい。多ビット長のデータを1個の不揮発性記憶ユニットに記憶するように制御部51を

構成してもよく、複数の不揮発性記憶ユニットに分散して記憶するように制御部 51 を構成してもよい。また、不揮発性記憶ユニット 60 を、図 8 の予備のメモリセルブロックを備える不揮発性記憶ユニット 70 に置き換えてもよい。

【0083】

【発明の効果】以上のように、本発明では、メモリセルアレイを複数のメモリセルブロックに分割し、ワード線およびビット線をメモリセルアレイを貫通する主ワード線および主ビット線とメモリセルブロック内の副ワード線および副ビット線とに階層化して構成することにより、選択されたメモリセルブロック以外のメモリセルブロックに付加されている寄生容量を主ワード線および主ビット線から切り離すことができるので、寄生的に付随するメモリセル数を低減でき、集積するメモリセル個数の増大に伴うビット線、ワード線の寄生容量の増大を実質的に抑制し、アクセス時間の悪化を防止できるという顕著な効果が生じる。また、階層化した構成にすることにより同時にワード線の配線抵抗の増大をも実質的に低減することができるので、読み出しの際に配線抵抗による電流の減少を防止でき、集積規模がさらに一層増大したときにも動作範囲が広く安定な MRAMLSI を供することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態の MRAM メモリセルアレイの構成を示す図である。

【図 2】メモリセルブロック A11 の構成を示す図である。

【図 3】第 1 の実施の形態のメモリセルアレイの第 2 の実施例のメモリセルブロックの構成を示す図である。

【図 4】第 2 の実施の形態の不揮発性記憶ユニットの第 1 の実施例の構成を示す図である。

【図 5】第 2 の実施の形態の不揮発性記憶ユニットの第 2 の実施例の構成を示す図である。

【図 6】第 3 の実施形態の不揮発性半導体記憶装置の構成を示す図である。

【図 7】第 4 の実施形態の不揮発性記憶ユニットの第 1 の実施例の構成を示す図である。

【図 8】第 4 の実施形態の不揮発性記憶ユニットの第 2 の実施例の構成を示す図である。

【図 9】(a) は、メモリ素子構造の模式図であり、(b) は、読み出し動作を示す模式図であり、(c) は、磁化状態と記憶データとの対応を示す模式図である。

【図 10】(a) は、図 9 に示したメモリ素子をアレイ状に配置した MRAM の模式図であり、(b) は、書き

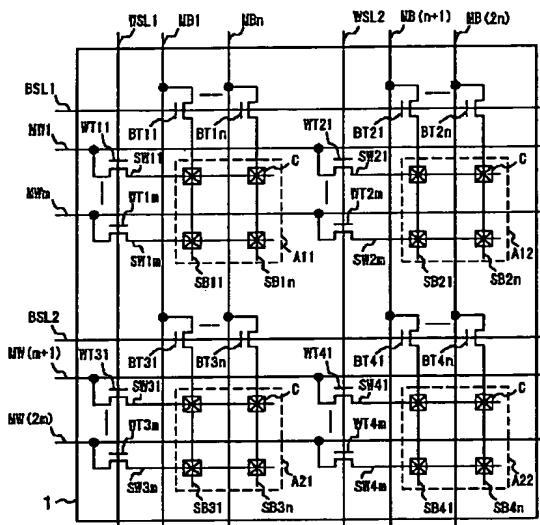
込み動作の模式図である。

【図 11】従来の MRAM メモリセルアレイの構成を示す図である。

【符号の説明】

1 メモリセルアレイ
2, 49, 62, 72 メモリセルブロック選択回路
3, 63 行選択回路
4, 64 列選択回路
5, 65 行側書き込み／読み出し回路
6, 66 列側書き込み／読み出し回路
10, 40, 60, 70 不揮発性記憶ユニット
11 下層配線
12 固定層
13 絶縁層
14 データ記憶層
15 上層配線
31 参照セル列
41 予備メモリセルブロック行
42, 63-S 予備行選択回路
43, 65-S 予備行側書き込み／読み出し回路
44, 48, 73 置換回路
45 予備メモリセルブロック列
46, 64-S 予備列選択回路
47, 66-S 予備列側書き込み／読み出し回路
50 不揮発性半導体記憶装置
AD0, AD1 アドレスデータ
A11, A12, A21, A22, A11a メモリセルブロック
BSL1, BSL2 ビット選択線
30 BT11, BT1n, BT21, BT2n, BT31, BT3n, BT41, BT4n ビット選択トランジスタ
C, C11, C12, C1n, C21, C22, C2n, Cm1, Cm2, Cmn メモリセル
MB1, MBn, MB(n+1), MB(2m) 主ビット線
MW1, MWm, MW(m+1), MW(2m) 主ワード線
SB11, SB1n, SB21, SB2n, SB31, SB3n, SB41, SB4n 副ビット線
40 SW11, SW1m, SW21, SW2m, SW31, SW3m, SW41, SW4m 副ワード線
WSL1, WSL2 ワード選択線
WT11, WT1m, WT21, WT2m, WT31, WT3m, WT41, WT4m ワード選択トランジスタ

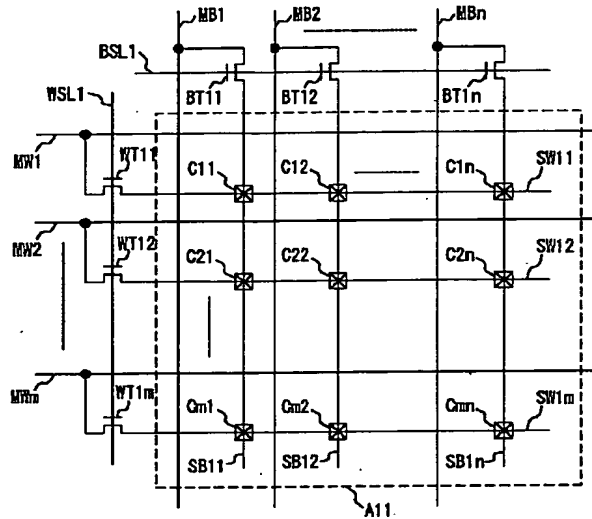
【図1】



1: メモリセルアレイ
A11, A12, A21, A22: メモリセルブロック
C: メモリセル

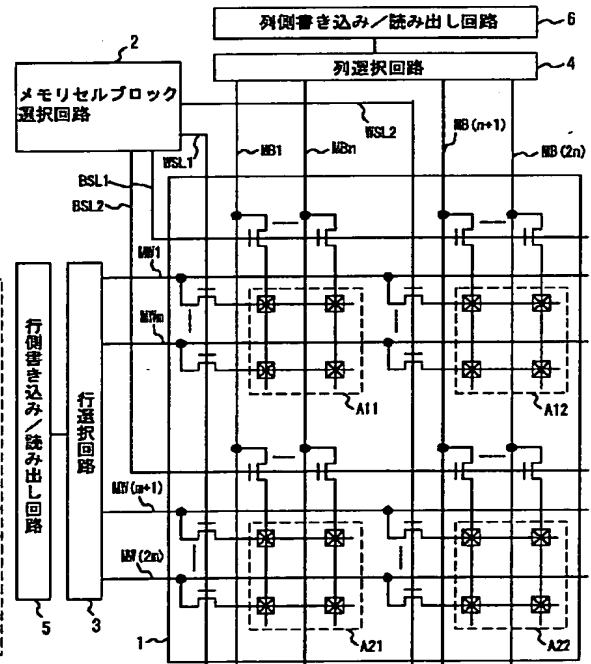
MB1, MBn, MB(n+1), MB(2n): 主ビット線
SB11, SB1n, SB21, SB2n, SB31, SB3n, SB41, SB4n: 副ビット線
BSL1, BSL2: ビット選択線
BT11, BT1n, BT21, BT2n, BT31, BT3n, BT41, BT4n: ビット選択トランジスタ
MW1, MWn, MW(n+1), MW(2n): 主ワード線
SW11, SW1n, SW21, SW2n, SW31, SW3n, SW41, SW4n: 副ワード線
WSL1, WSL2: ワード選択線
WT11, WT1n, WT21, WT2n, WT31, WT3n, WT41, WT4n: ワード選択トランジスタ

【図2】

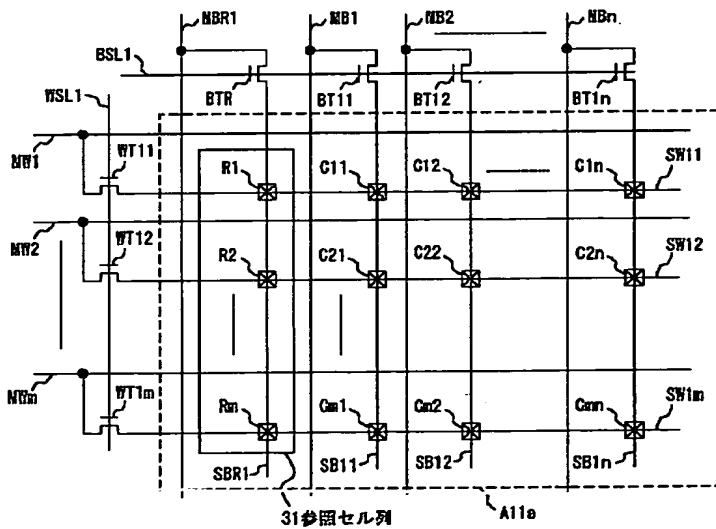


C11, C12, C1n, C21, C22, C2n, Cn1, Cn2, Cnn: メモリセル

【図4】

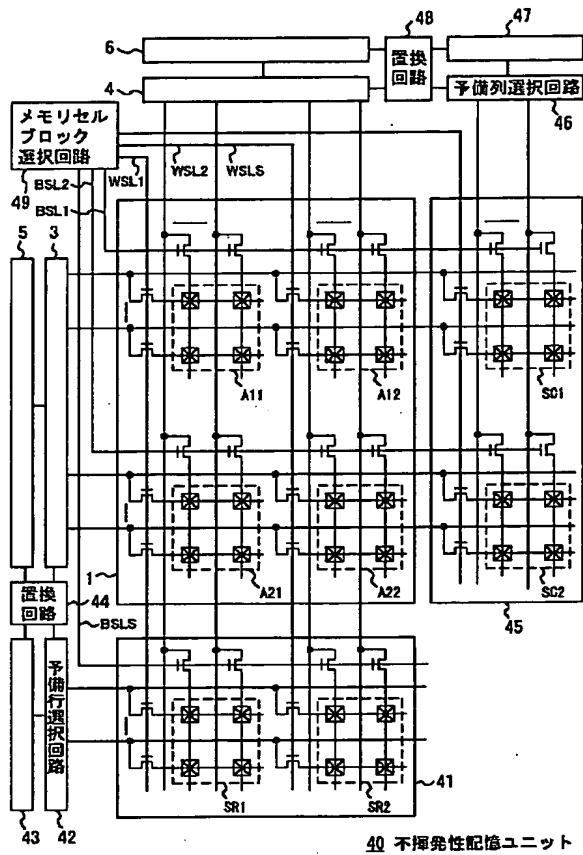


【図3】

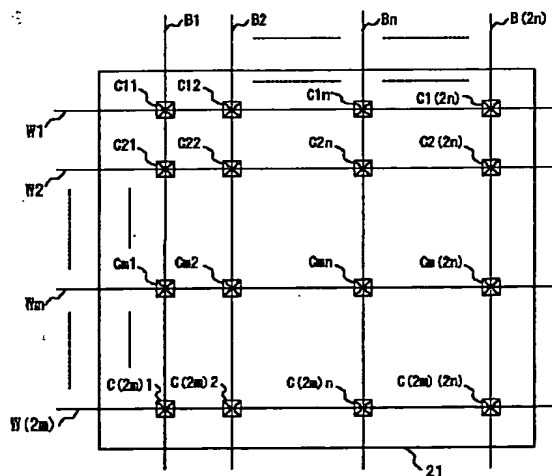


10 不揮発性記憶ユニット

【図5】



【図11】



21: メモリセルアレイ

B1, B2, Bn, B(2n): ビット線

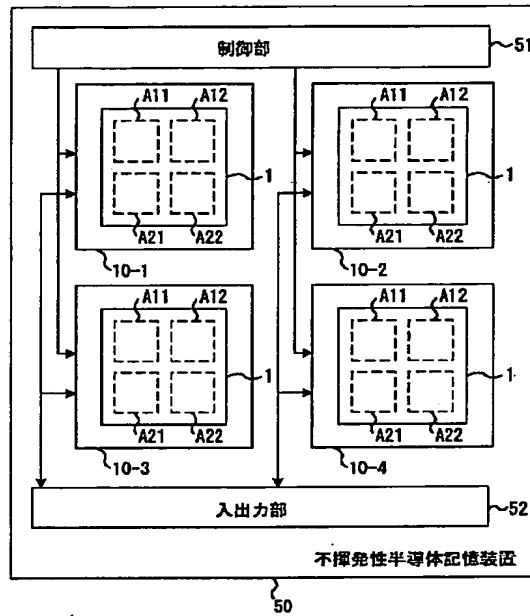
W1, W2, Wn, W(2m): ワード線

C11, C12, C1n, C1(2n), C21, C22,

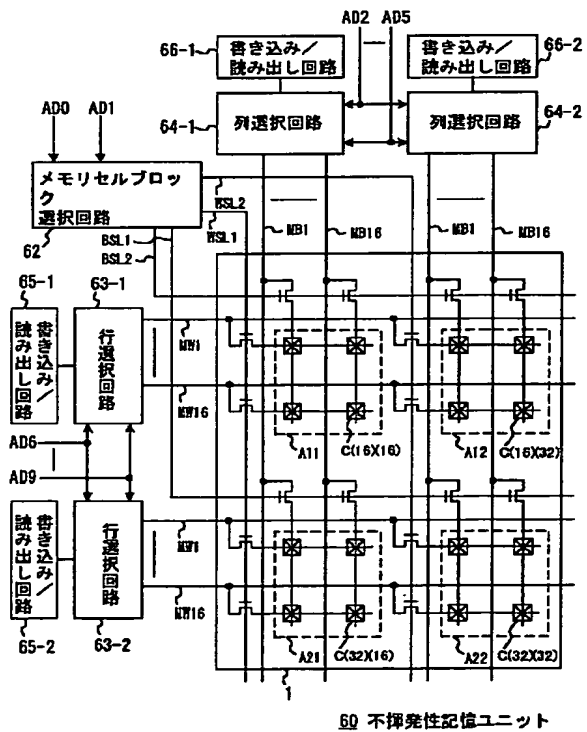
C2n, C2(2n), Cn1, Cn2, Cnn, Cn(2n),

C(2m)1, C(2m)2, C(2m)n, C(2m)(2n): メモリセル

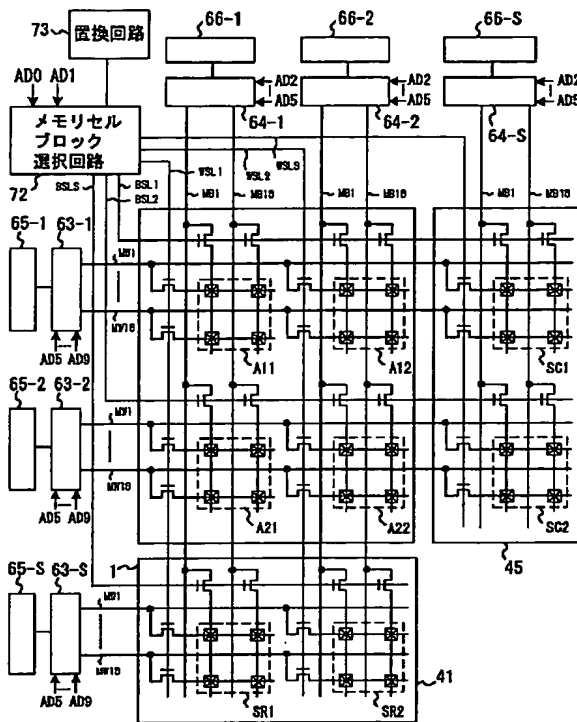
【図6】



【図7】

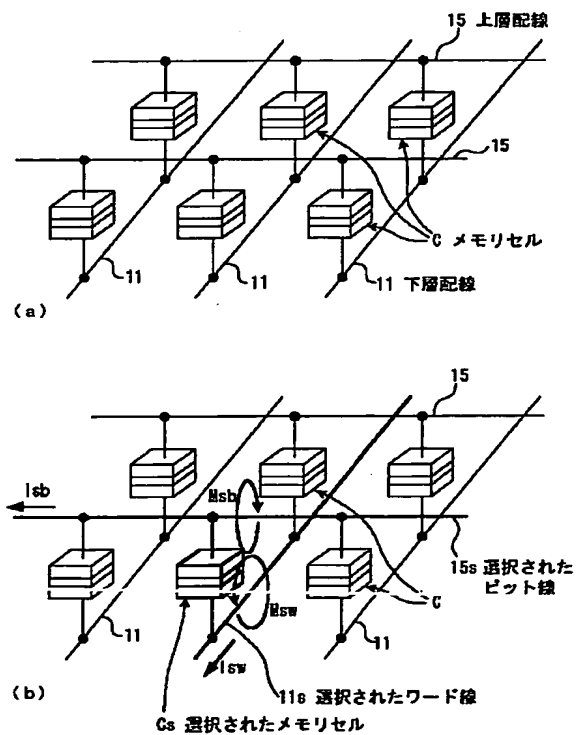


【図8】

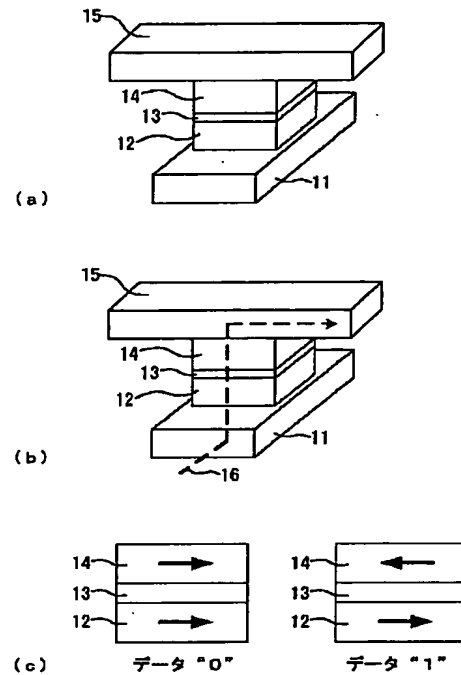


70 不揮発性記憶ユニット

【図10】



【図9】



11: 下層配線
 12: 固定層
 13: 絶縁層
 14: データ記憶層
 15: 上層配線
 16: 読み出し電流